

III.1 Introduction :

Il y a quelques années, le concepteur circuit était confronté à des circuits simples constitués d'un nombre restreint de portes logiques et de composants actifs. Actuellement, la densité d'intégration est telle qu'il a fallu développer un ensemble de couches d'abstractions afin de simplifier le processus de synthèse [10].

Ainsi dans ce chapitre nous décrivons quelques modèles de composants de puissances tels que le transistor MOS et l'IGBT. Le but est de créer une bibliothèque de composants de puissance réutilisable, dans notre application.

Une application du modèle du TMOS en amplificateur Radio fréquence est également présentée ainsi qu'une application du transistor IGBT en onduleur monophasé.

III.2 le transistor MOS de puissance :

Le modèle SPICE du TMOS que nous considérons ici, sera modélisé sous différents langages (SPICE, VHDL-AMS, MATLAB) afin de justifier le choix du VHDL-AMS comme un outil pour notre objectif d'intégration de puissance.

III.2.1 Schéma équivalent et modèle électrique :

La plupart des modèles de dispositifs MOS présentent le modèle basé sur le schéma électrique équivalent suivant :

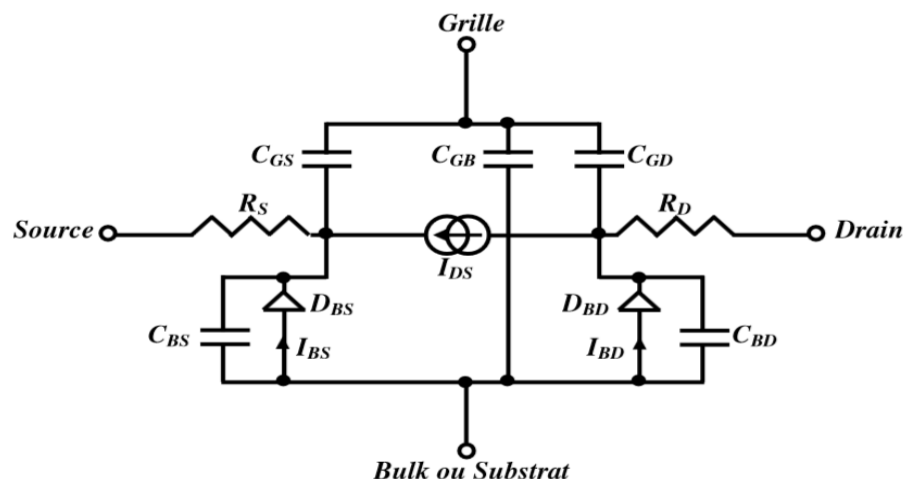


Figure III.1: Schéma électrique d'un transistor MOS.

Le schéma de la figure II.1 est valable pour les dispositifs à canal N, pour le transistor MOS à canal P, on inverse la polarisation. Ce modèle comprend :

- Une source de courant statique drain-source IDS, qui modélise le courant circulant dans le canal de conduction,
- 3 capacités relatives à la grille CGD, CGS, CGB, qui modélisent les interactions entre charge de grille/charge de canal côté drain, charge de grille/charge de canal côté source et charge de grille/charge de substrat,
- 2 capacités relatives aux jonctions de substrat CBS et CBD,
- 2 résistances d'accès côté source RS et drain RD,
- Pour les caractéristiques DC (en régime statique) nous considérons en plus 2 jonctions de substrat formant 2 diodes polarisées en inverse qui fournissent les courants IBS et IBD. Si la source et le substrat sont polarisés au même potentiel, il est évident que ces éléments n'interviennent pas.

III.2.2 Le modèle SPICE niveau 1 du transistor MOS :

Dans tout ce qui suit, les modèles sont basés sur le schéma de la figure III.1. Le modèle SPICE du transistor MOS niveau 1 a été proposé par C.T Sah. et les équations du modèle ont été ensuite modifiées pour être implantées dans le simulateur SPICE par H.Shichman et D.Hodges [11],[12].

La caractéristique IDS est modélisée dans les trois régions du domaine de fonctionnement du transistor :

- La première région de faible inversion : GSTH VVp On suppose qu'il n'existe pas de canal de conduction, d'où : $I_{DS} = 0$

Lorsque GSTH VVf, on distingue alors deux autres régions où l'expression de la caractéristique IDS est une expression linéaire (ou quadratique) de VGS; nous les appellerons donc régions linéaires (ou de saturation)

- La région linéaire : $V_{GS} \geq V_{TH}$ et $V_{DS} \leq V_{DSAT}$ avec $V_{DSAT} = V_{GS} - V_{TH}$(2.1)

$$I_{DS} = \left(\frac{W}{L}\right) \cdot \left(\frac{KP}{2}\right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot V_{DS} \cdot (2 \cdot (V_{GS} - V_{TH}) - V_{DS}) \dots\dots\dots(2.2)$$

- -la région de saturation : $V_{GS} \geq V_{TH}$ et $V_{DS} \geq V_{DSAT}$

$$I_{DS} = \left(\frac{W}{L}\right) \cdot \left(\frac{KP}{2}\right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot (V_{GS} - V_{TH})^2 \dots\dots\dots(2.3)$$

Le modèle présenté précédemment est le plus simple ;7 paramètres électriques suffisent pour caractériser le comportement électrique (Tableau III.1).

Symbole du paramètre	Définition du paramètre	Unité
Paramètres du Processus de fabrication		
L	Longueur de canal	m
W	Largeur de canal	m
TOX	Epaisseur de l'oxyde sous la grille	m
LD	Réduction de longueur de canal par rapport à la valeur dessinée	m
NSUB	Dopage du substrat	AT /cm³
Paramètres électriques		
UO	Mobilité des porteurs	cm²/(V.S)
VTO	Tension de seuil à polarisation de substrat nulle	Volts
LAMBDA	Modulation de la longueur de canal	volts⁻¹
KP	La transconductance	A/volts²
CGSO	Capacité grille source à polarisation nulle	F/m
CGDO	Capacité grille drain à polarisation nulle	F/m
CGBO	Capacité grille substrat à polarisation nulle	F/m

Tableau III.1: Les paramètres MOS du SPICE niveau 1[12].

Il existe d'autres modèles SPICE comme le modèle niveau 2,3. Le modèle niveau 2 se distingue du modèle précédent par des expressions différentes du courant IDS et des capacités CGS, CGD et CGB. Ceux-ci prennent en compte des phénomènes plus fins (effet du canal étroit, canal court, limitation de vitesse des porteurs.). Le modèle niveau 3 a par contre, des expressions des paramètres technologiques plus complexes par rapport au modèle niveau 1 et niveau 2. Pour notre part, le modèle du MOS niveau 1 est suffisant dans notre application d'intégration de puissance.

III.2.3 Simulation du transistor MOS sous SPICE-ORCAD :

Cette simulation consiste à décrire le comportement du composant par l'utilisation de primitives du simulateur. Pour cela nous avons choisi comme exemple le transistor de puissance **l'IRF150** dont les paramètres sont regroupés dans l'annexe A.

Le transistor a été polarisé par deux sources de tension DC (continue) Vgs et Vds. L'encadré II.1 présente la net liste simulant le comportement de **l'IRF150**

```

.lib "nom.lib"

*Analysais directives:

.DC LIN V_Vds 0 10 0.001

+ LIN V_Vgs 6 9 1
.PROBE V(*) I(*) W(*) D(*) NOISE(*)
.INC ".\m-SCHEMATIC1.net"
* source M
V_Vds N12459 0
M_M4 N12459 N12499 0 0 IRF150
V_Vgs N12499 0
.END

```

Encadré III.1:Net liste SPICE du modèle MOS.

La figure III.2(a) représente la caractéristique du courant drain-source (i_{ds}) en fonction de la tension drain-source (v_{ds}) pour des tensions grille-source (v_{gs}) constantes.

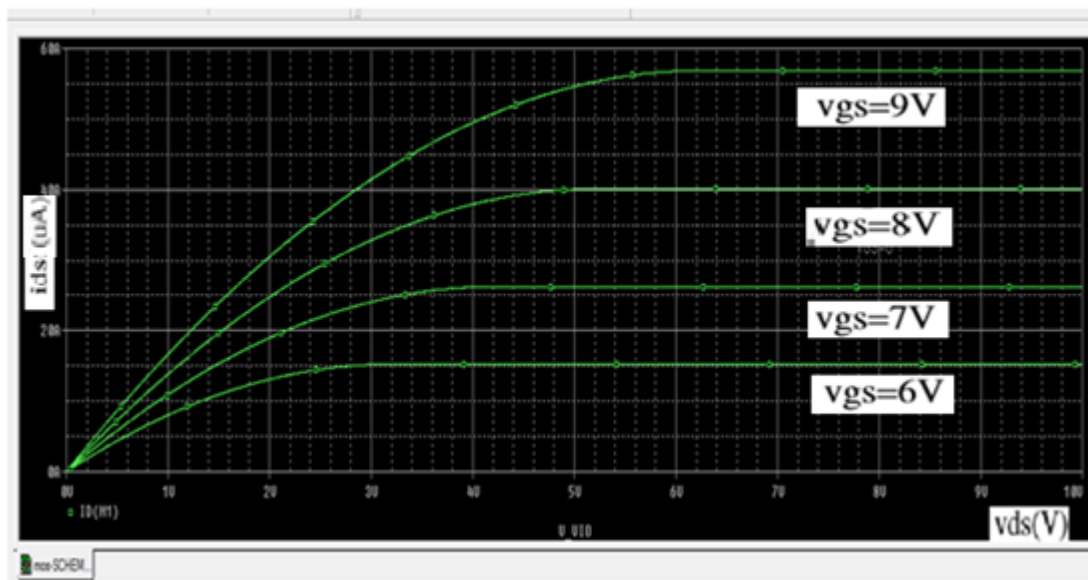


Figure III.2(a):Caractéristique $i_{ds} = f(v_{ds}, v_{gs}=cst)$.

La figure III.2(b) représente quand à elle la caractéristique du courant drain-source (i_{ds}) en fonction de la tension grille-source avec v_{ds} Constante

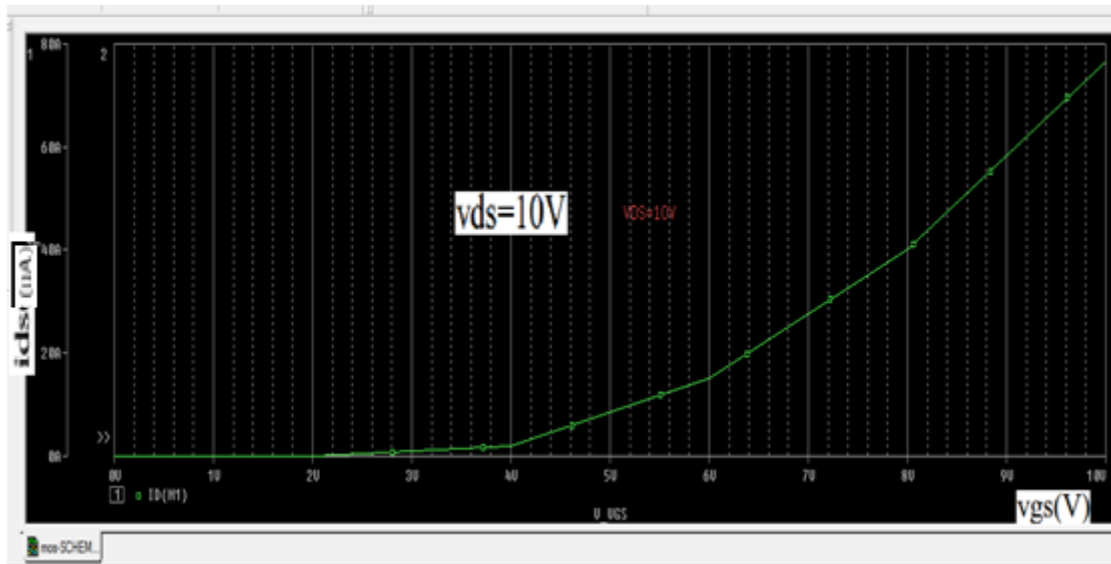


Figure III.2(b):Caractéristique $i_{ds} = f(v_{gs}, v_{ds}=cst)$

III.3 Modélisation du transistor MOS par le VHDL-AMS et caractéristiques statiques :

a) Code VHDL-AMS du modèle SPICE niveau 1 :

La modélisation VHDL-AMS du transistor MOS de puissance est multi-abstraction entre le comportemental et le fonctionnel. Dans cette simulation, le modèle comportemental-fonctionnel du MOS est décrit en langage VHDL-AMS (encadré III.2)

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;  USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.A;
USE IEEE.MATH_REAL.ALL;
Entity MOS is
End;
Architecture behavioral of MOS is
Constant  cgd: Real: = 0.5037e-9;
Constant  cgs: Real: = 2.7081e-9;
Constant  rd: Real: = 1.031e-3;
Constant  rs: Real: = 1.624e-3;
Constant  W: Real: = 0.3;
Constant  L: Real: = 2.0e-6;
Constant  KP: Real: = 20.53e-6;
Constant  lambda: Real: = 0.0;
Constant  vt  : Real: = 25.0e-3;
Terminal g, d, n1, n2, n3, n4: electrical;
Quantity vds across ids through electrical_ground to n3;
Quantity vgs across igs through g to electrical_ground;
Quantity vd across id through n1 to n2;
Quantity urd across ird through n1 to d;
Quantity urs across irs through electrical_ground to n2;
Quantity urds across irds through n1 to n2;
Quantity ur_ds across ir_ds through n3 to d;
Quantity urg across irg through g to n4;
Quantity ucgd across icgd through n1 to n4;
Quantity ucgs across icgs through n2 to n4;
Begin
urd == rd*ird;
urs == rs*irs;
ucgd == icgd'integ/cgd;
ucgs == icgs'integ/cgs;
vgs==6.0;
if (vgs-vt)<0.0 use      id == 0.0;
elsif
(vds > 0.0) and (vds <= (vgs-vt)) use
Id== (W/L)*(Kp/2.0)*(1.0+(lamda*vds))*vds *(2.0*(vgs-vt)-vds);
Elsif (vds > (vgs-vt)) use
Id == (W/L)*(Kp/2.0)*(1.0+ (lamda*vds))*((vgs-vt)*(vgs-vt));
End use;
End architecture bihavioral

```

Encadré III.2:Code VHDL-AMS de la modélisation du transistor MOS de puissance

b) Caractéristiques électriques :

Le transistor MOS de puissance que nous considérons dans cette étude est le même que précédemment.

Les résultats de simulation du code de l'encadré III.2 sont présentés sur la figure III.3(a) et III.3(b).

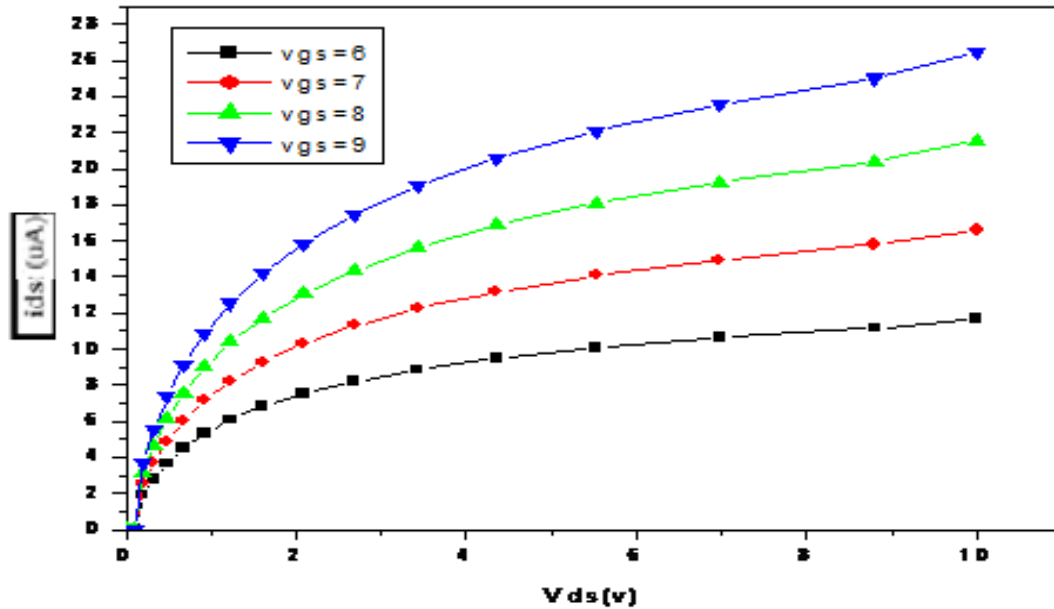


Figure III.3(a): Caractéristique $i_d = f(v_{ds})$ sous VHDL-AMS.

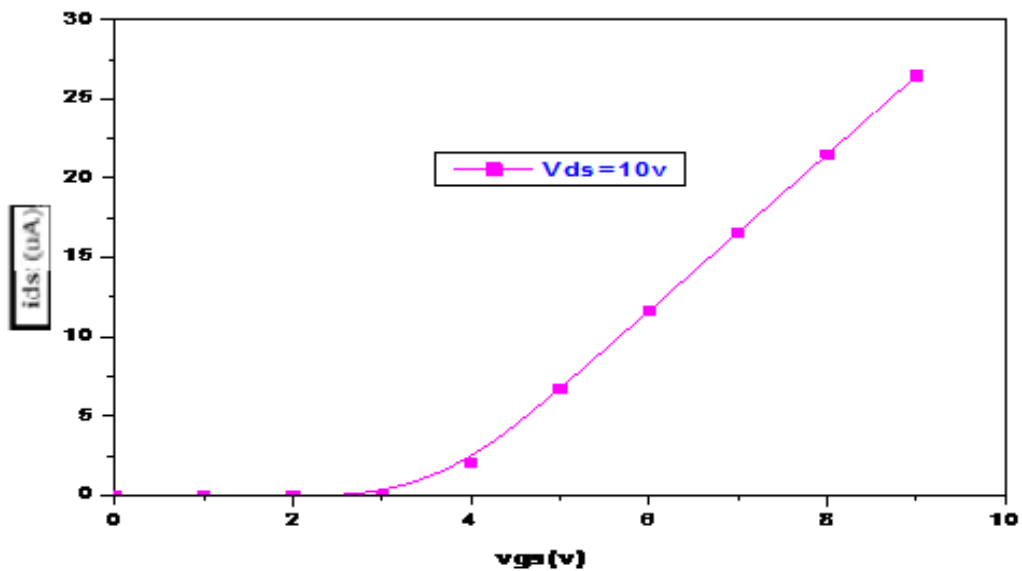


Figure III.3(b): Caractéristique $i_d = f(v_{gs}, v_{ds}=cst)$ sous VHDL-AMS.

III.4 Modélisation du transistor MOS par MATLAB :

Dans cette partie nous présentons la simulation du transistor **IRF150** avec le même stimulus.

La figure III.4(a) représente la caractéristique du courant drain-source (i_{ds}) en fonction de la tension drain-source (v_{ds}) à des tensions grille-source (v_{gs}) constantes.

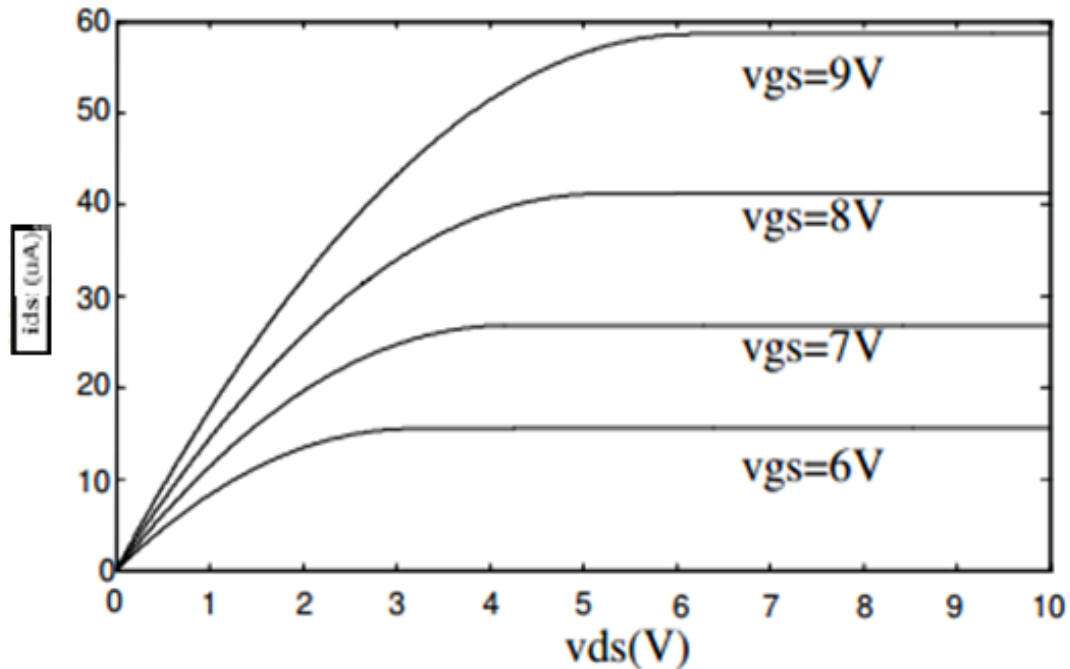


Figure III.4(a): Caractéristique $i_d = f(v_{ds}, v_{gs}=cst)$.

La figure III.4(b) représente quand à elle, la caractéristique du courant drain-source (i_{ds}) en fonction de la tension grille-source avec v_{ds} constante.

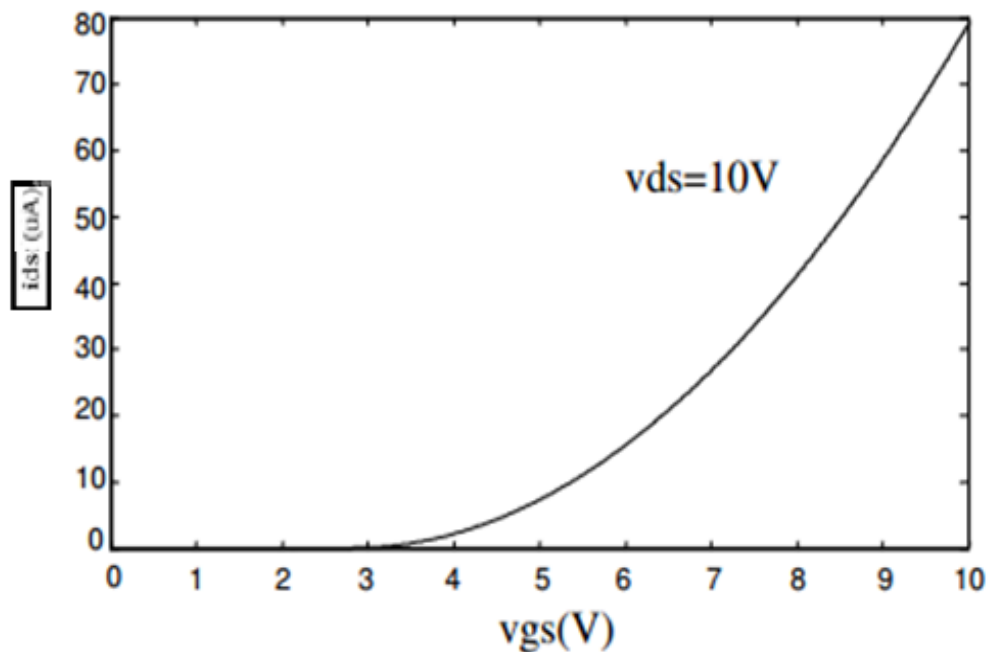


Figure III.4(b): Caractéristique $i_{ds} = f(v_{gs}, v_{ds}=cst)$.

Bien que les outils utilisés soient différents, la méthode de modélisation et les résultats obtenus sont tout à fait comparables. En rajoutant à ceci l'avantage considérable que présente le VHDL-AMS par rapport à SPICE ou MATLAB et qui réside dans la transportabilité du modèle élaboré d'un simulateur à un autre. Il suffit de le considérer comme "Package". Cette principale conclusion nous permet de considérer dorénavant le langage VHDL-AMS comme outil pour notre objectif d'intégration de puissance.

III.5 Application du transistor MOS de puissance en amplification radio fréquence :

Le choix du type de transistor pour l'amplification de puissance haute fréquence s'oriente de plus en plus vers celui des transistors MOS; en effet ils présentent moins de variations de valeurs d'impédance d'entrée et de sortie que les transistors bipolaires. Ils sont également supérieurs, au niveau de la stabilité thermique. Ceci explique en grande partie leur utilisation de plus en plus fréquente dans les domaines d'amplification de puissance [13]. La finalité des amplificateurs est la commande d'un actionneur (haut-parleur, moteur, inductance...) sans déformation du signal appliqué en entrée. Dans l'étude d'un amplificateur de puissance, il faudra souvent faire des compromis entre la recherche de la qualité de la reproduction et des considérations économiques (coût, rendement). Une première application du modèle que nous considérons ici est l'étude d'un amplificateur radio- fréquence.

III.5.1 Amplificateur radio- fréquence :

L'amplificateur considéré est à base du transistor MOS de puissance SXP1301. (Tableau III.2)

$KP (A/V^2)$	$VT0(V)$	$CGD (pf)$	$CGS (pf)$	$CDS (pf)$
1.02	5.46	22	17	115

Tableau III.2: Principales caractéristiques du SXP1301

Les performances électriques de l'amplificateur sont mises en évidence grâce à une analyse temporelle sous VHDL-AMS.

La polarisation continue du TMOS permet de choisir le point de fonctionnement du transistor ($v_{gs} = 10V$, $v_{ds} = 30V$).

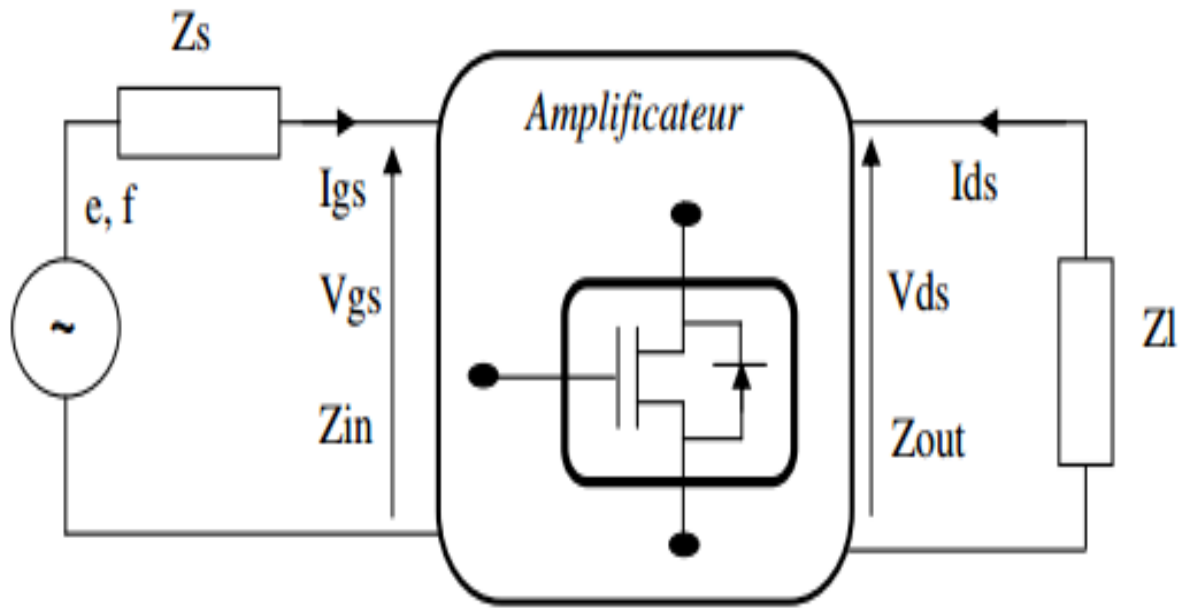


Figure III.5: Schéma bloc d'un amplificateur radio fréquence.

La figure III.5 présente la configuration de l'amplificateur radio fréquence. Z_s et Z_l sont les impédances de source et de charge. Elles sont déterminées pour une amplification avec un transfert maximal de puissance entre :

- i) D'une part, le générateur "source" et l'entrée du composant, c'est à dire sa grille,
- ii) D'autre part, le drain du composant et la charge en sortie. Un effet fondamental rentre en jeu ici ; c'est *l'adaptation d'impédance*.

Nous avons optimisé les valeurs qui permettent de réaliser cette adaptation (Tableau III.3)[13].

Impédance de source Z_s		Impédance de charge Z_l	
$RS(\Omega)$	$LS (nH)$	$RL(\Omega)$	$LL (nH)$
0.07	0.201	20	0.335

Tableau III.3: Impédances de source et de drain réalisant l'adaptation d'impédance.

Le support de base de cette étude est donc le modèle du transistor MOS établi précédemment. L'analyse proposée est effectuée dans le domaine temporel, modélisé à l'aide du langage de description comportemental VHDL-AMS.

III.5.2 Code VHDL-AMS Application du transistor MOS de puissance en amplification radio fréquence :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;
Entity MOS is
End entity MOS;
architecture niveau1 of MOS is
constant  cgd : real := 22.0e-12; constant  cgs : real := 17.0e-12;
constant  cds : real := 115.0e-12; constant  rd : real := 0.371;
constant  rs : real := 0.09;          constant  rds : real := 444.4e3;
constant  rg : real := 0.5;          constant  w : real := 0.3;
constant  l : real := 2.0e-6;        constant  kp : real := 20.53e-6;
constant  lamda : real := 0.0;       constant  vt : real := 5.46;
constant  r_ds : real := 10.0;       constant  lg : real := 0.5e-9;
constant  ld : real := 0.1e-9;       constant  ls : real := 0.1e-9;
constant  xs : real := 2.01e-10;     constant  r_s : real := 0.07;
paramètres de l'impédance d'entrée
constant  xs : real := 2.01e-10;
quantity puissance : real;
constant  r_l : real := 20.0; --paramètres de l'impédance de
sorti constant  xl : real := 3.35e-10;
terminal G,D,D1,N1,N11,N2,N22,N3,N4,N44,G1,G2,G3 :
electrical; quantity ed across ied through d1 to electrical_ground;
quantity eg across ieg through g3 to electrical_ground;
quantity ur_s across ir_s through g1 to g2;
quantity uxs across ixs through g1 to g;
quantity ur_l across ir_l through d1 to d;
quantity uxl across ixl through d1 to d;
quantity id through n1 to n2;
quantity urd across ird through n11 to n1;
quantity uld across ild through n11 to d;
quantity urs across irs through n22 to n2;
quantity uls across ils through n22 to electrical_ground;
quantity urds across irds through n1 to n2;
quantity ur_ds across ir_ds through n3 to d;
quantity urg across irg through n4 to n44;
quantity ulg across ilg through n44 to g;
quantity ucgd across icgd through n1 to n4;
quantity ucgs across icgs through n2 to n4;
quantity ucds across icds through n2 to n1;

```

```

quantity vd22:real;
SIGNAL clk: bit;
BEGIN
clk<=not clk after 1.0 ms;
if (clk = '1') USE --igbt1
vds1 == RSon*ids1;
else
ids1 == 0.0;
end use;
break on clk;
if (clk = '0') USE --igbt2
vds2 == RSon*ids2;
else
ids2 == 0.0;
end use;
break on clk;
if vds1'Above(-1.1) use --diode1
id1 == 0.0;
else
id1 == (vds1 + 1.1) / RDon;
end use;
if vds2'Above(-1.1) use --diode2
id2 == 0.0;
else
id2 == (vds2 + 1.1) / RDon;
end use;
vin1 == 300.0;
vin2 == 300.0;
ur1 == rdd*ir1;
vdr1 == RDon*idr1;
vdr2 == RDon*idr2;
uri==ll * iri'dot;
vd22 == uri+ur1;
end;

```

Encadré III.3:Code VHDL-AMS Application du transistor MOS de puissance en amplification radio fréquence

III.5.3 Résultats de simulation :

Les simulations sont effectuées sous l'environnement hamster de SIMEC.

L'étage de l'amplification est alimenté par un signal radio fréquence sinusoïdal d'une fréquence de 950 Mhz et une amplitude de 1V [14].

L'amplification de puissance de l'étage est mise en évidence par l'obtention d'un gain en tension de 10, à une fréquence de 950Mhz. (Figure III.5(b))

La tension de sortie $V_s \approx 10V$ pour une tension d'entrée $V_e \approx 1V$

Les simulations sont effectuées pour une période d'échantillonnage (min step size =10ps et max step size = 10ps) avec des itérations de 20 avec une erreur de 0.1us, les figures (III.5.a,b) présente le résultat de simulation sur 20ns.

Utilisant la méthode d'Euler comme méthode d'intégrateur et la méthode de Newton Raphson pour la linéarisation.

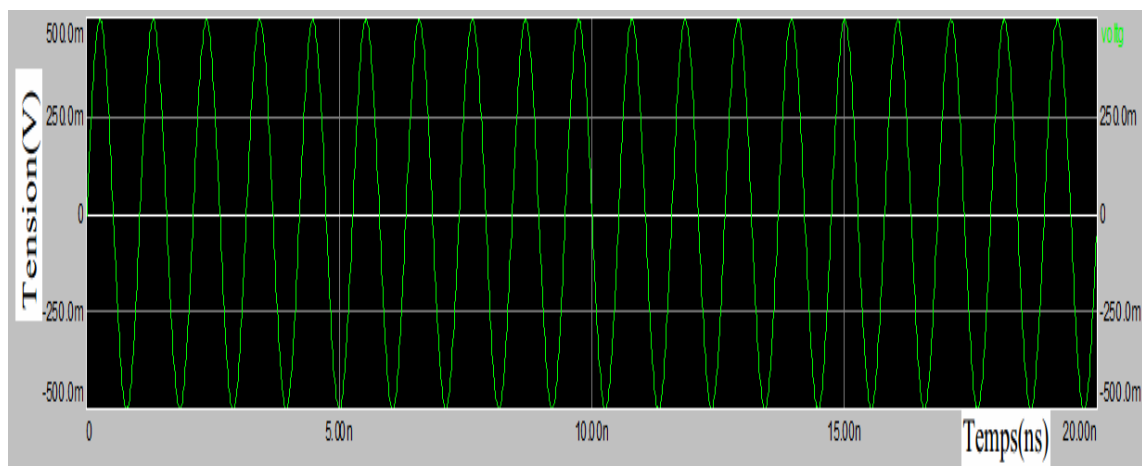


Figure III.5(a): La tension a l'entrée de l'amplificateur radio fréquence (multiplier par 10) .

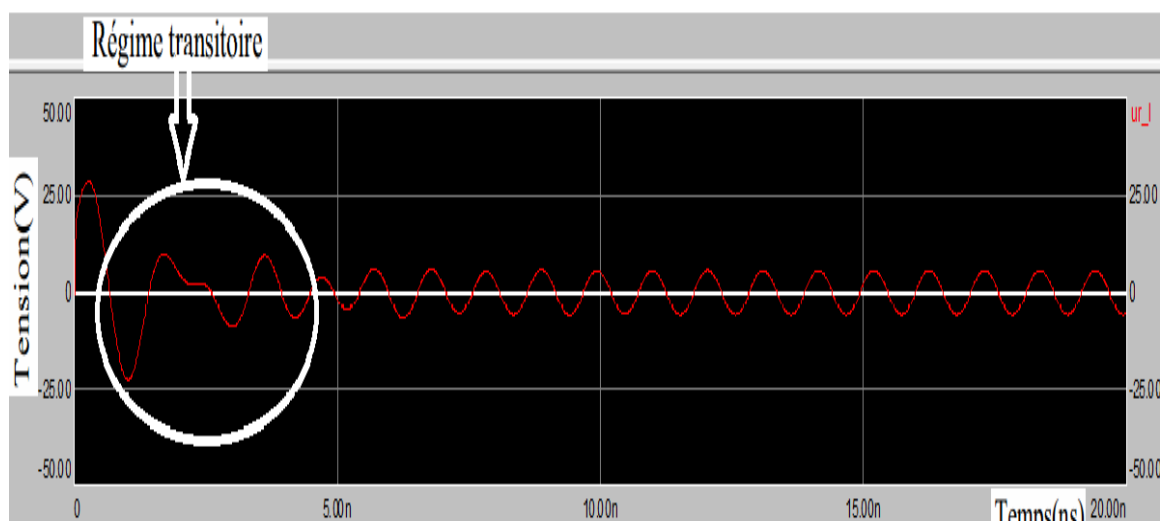


Figure III.5(b): La tension a la sortie de l'amplificateur radio fréquence.

III.6 Le transistor IGBT (*Insulated Gate Bipolar Transistor*)

III.6.1 Historique :

Un interrupteur idéal doit avoir les caractéristiques suivantes: impédance nulle à l'état fermé et infinie à l'état ouvert. De plus, la puissance consommée et le temps de commutation sont considérés nuls. On peut donc affirmer qu'un interrupteur idéal n'existe pas aujourd'hui et n'existera pas davantage demain. Les deux plus célèbres composants électroniques réalisant la fonction interrupteur sont: le transistor bipolaire et le transistor MOS. Le premier présente comme avantages une faible chute de tension à l'état passant (appelé : tension de "déchet"), et le pouvoir de commuter de forts courants, mais nécessite une puissance de commande non négligeable et sa fréquence de travail est relativement basse. Le TMOS quant à lui, connu pour des fréquences de travail plus élevées et une puissance de commande presque nulle, est limité par sa chute de tension qui est importante pour des dispositifs mettant en jeu des hautes tensions (quelques centaines de Volts). Depuis la fin des années 70, s'est développée l'idée d'intégrer sur une même puce un transistor MOS et un transistor bipolaire afin de profiter des avantages de chacun des deux dispositifs en évitant au mieux leurs inconvénients. Cet assemblage a donné naissance à une variété de dispositifs:

- IGT (Insulated Gate Transistor) [15].
- GEMFET (Gain Enhanced MOSFET).
- COMFET (Conductivity Modulated FET) [16].

Tous ont permis d'aboutir vers ce qu'on appelle aujourd'hui l'IGBT (Insulated Gate Bipolar Transistor). L'IGBT de part ses caractéristiques est un composant avantageux pour les applications utilisant la commutation. Sa suprématie dans le domaine de la moyenne puissance n'est plus contestée et il est de plus en plus utilisé dans les applications à forte puissance faisant concurrence au GTO (Gate Turn Off). Enfin, en faible puissance les IGBTs vont également se développer pour concurrencer les MOSFETs dans certains domaines. La figure II.7 représente l'enveloppe des applications de l'IGBT, en fréquence et en puissance, et ses éventuelles évolutions, et compare ses performances à ceux des autres dispositifs [17]

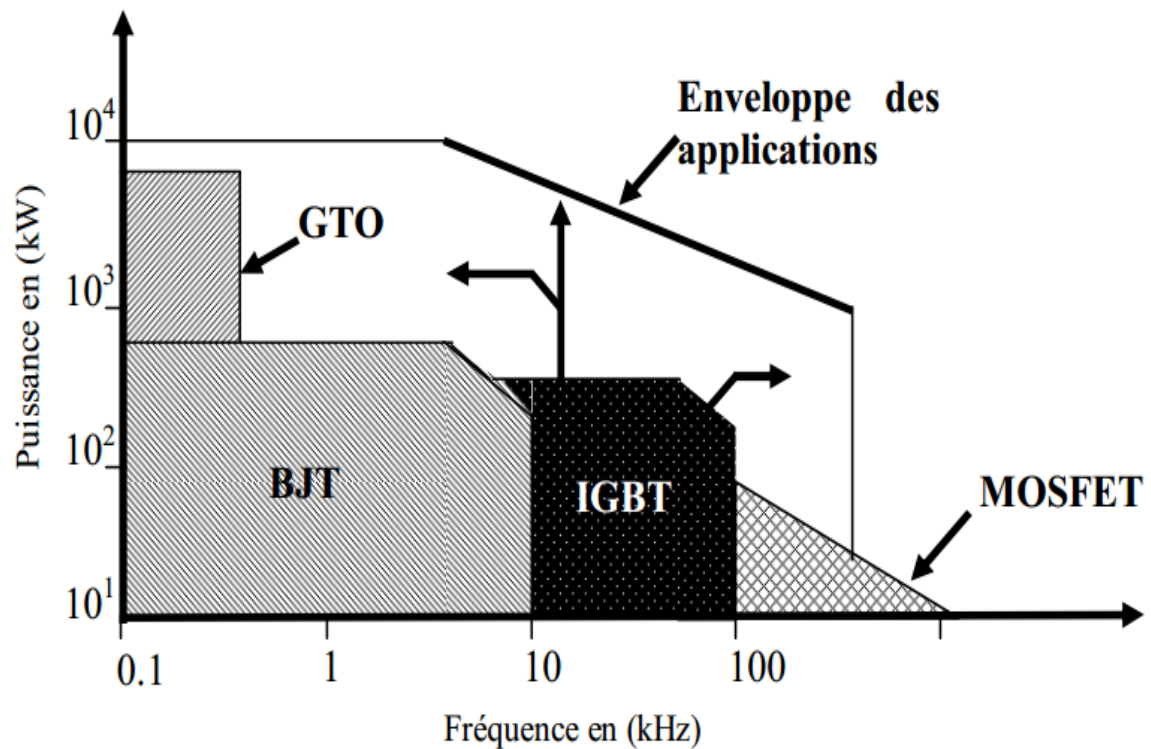


Figure III.6: *Domaine d'application de l'IGBT et des autres dispositifs de commutation concurrents*

III.6.2 Le schéma équivalent :

La figure III.3 représente le circuit équivalent du transistor IGBT [18]. La grille de la structure MOS permet de créer un canal en surface entre la couche n^{++} et la couche N^- . La jonction Pn étant normalement polarisée en inverse, un effet JFET apparaît alors du fait de l'existence des zones de charge d'espace. Par la suite, nous négligerons cet effet qui est minime [19] et nous ne le représenterons plus dans le schéma équivalent. La présence de la couche P^+ (anode) implique l'existence d'un transistor PNP ayant pour base la couche N épaisse et peu dopée et pour jonction collecteur-base la jonction $N-P^+$ normalement polarisée en inverse. Les trois couches $n^{++}PN$ constituent une structure de transistor bipolaire NPN provoquant avec le $PN-P^+$ un effet thyristor parasite. Afin d'éliminer les effets de cet élément parasite, un contact en surface est réalisé technologiquement entre les couches n^{++} et P par la cathode, court-circuitant ainsi la jonction émetteur-base du transistor NPN.

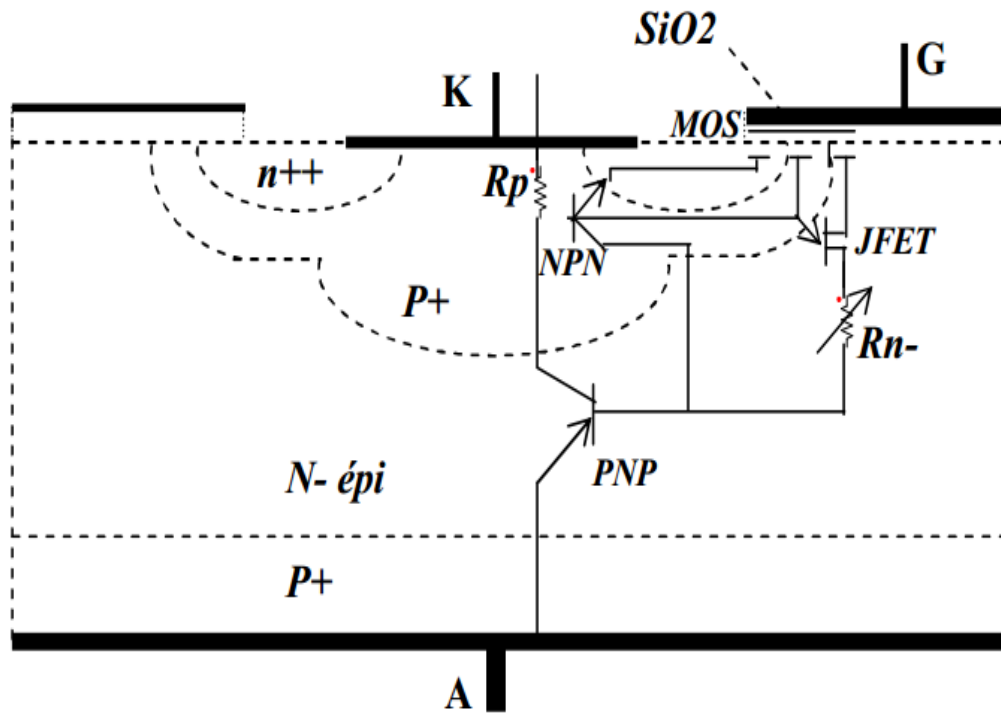


Figure III.7: Structure de l'IGBT avec son schéma équivalent déduit d'une demi-cellule

La résistance R_p correspond au puits P situé en dessous de la couche $n++$. Sa valeur doit être rendue la plus faible possible afin d'éviter le déclenchement du thyristor parasite. La résistance R_{n-} , symbolisant la couche épitaxie N-, est modulée par l'injection de porteurs minoritaires (trous) depuis la couche P+ (Anode). Sa valeur est alors rendue très faible comparée à celle d'un MOS de puissance d'un calibre équivalent. R_{n-} ne constitue plus qu'une résistance d'accès à la base du transistor PNP. En tenant compte des simplifications technologiques précisées ci-dessus, le schéma équivalent d'un IGBT se réduit alors à celui de la figure III.7 [20]. L'effet thyristor apparaît quand la tension aux bornes de R_p atteint la tension V_{bi} (seuil de la jonction base émetteur du NPN). Dans ce cas, cette jonction est polarisée en direct et le transistor NPN est conducteur, ce qui entraîne le déclenchement de l'effet thyristor. Dans les IGBTs modernes, cette résistance est rendue suffisamment faible pour que le thyristor ne soit plus déclenché dans le domaine de fonctionnement garanti par le constructeur. Le transistor NPN n'a alors plus d'influence sur le fonctionnement de l'IGBT dans ce domaine et le schéma équivalent se réduit alors à un transistor bipolaire PNP commandé par un MOSFET dans une configuration "pseudo-Darlington". La figure III.5 symbolise alors le fonctionnement normal de l'IGBT.

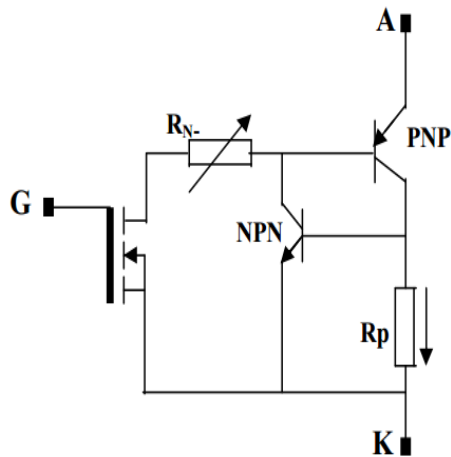


Figure III.8: Circuit équivalent d'un IGBT le transistor bipolaire NPN parasite

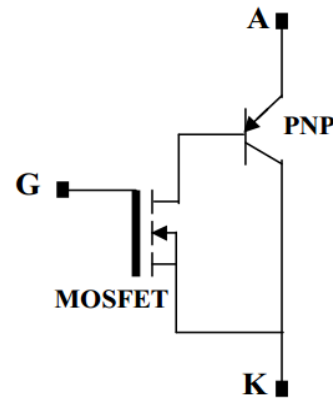


Figure III.9: Circuit incluant équivalent simplifié

III.6.3 Principe de fonctionnement :

En fonctionnement normal, la cathode d'un IGBT à canal n (Figure III.7) est reliée à la masse et une tension positive est appliquée sur la grille pour créer une couche d'inversion dans le puits P sous l'électrode de la grille formant ainsi un canal type n. Pour une tension d'anode suffisamment grande, des électrons sont injectés depuis la source n++ vers la région N- à travers le canal créé, et des trous sont injectés dans la région N- depuis le substrat P+ (anode).

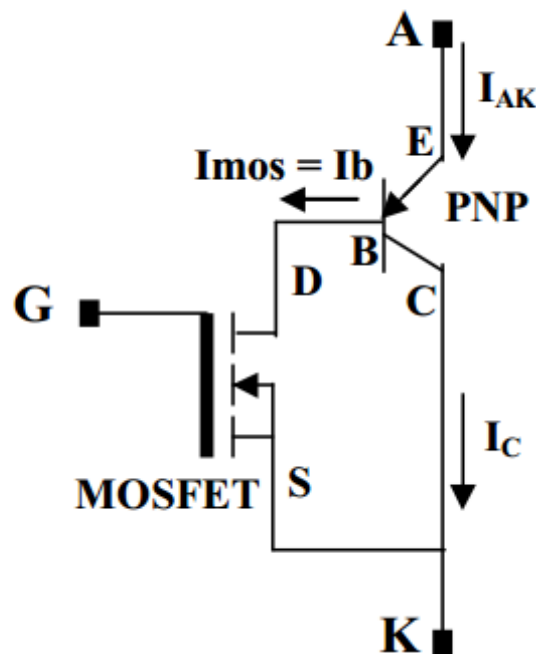


Figure III.10: Circuit équivalent montrant le sens des différents courants dans l'IGBT

Le courant d'électrons, transitant par le canal est le courant drain-source (I_{mos}) du MOSFET, il représente également le courant de base du transistor PNP (I_b) (Figure III.10). Le courant de trous constitue le courant du collecteur du transistor PNP (I_c). Le courant total de l'IGBT (I_{AK}) est la somme des courants de trous et d'électrons

$$I_{AK} = I_{mos} + I_c = I_c + I_b \quad (2.1)$$

L'équation (2.1) peut se réécrire en introduisant le gain en courant, $\beta = I_c/I_b$, du transistor bipolaire PNP:

$$I_{AK} = (\beta + 1)I_b = (\beta + 1)I_{mos} \quad (2.2)$$

Le courant I_{mos} peut être explicité en utilisant comme première approximation l'équation simplifiée gouvernant le fonctionnement du MOSFET en régime de conduction ohmique:

$$I_{mos} = \frac{Z}{L} C_{ox} (V_{GS} - V_{th}) \frac{V_{DS}}{2} \quad (2.3)$$

$$\text{Avec : } V_{DS} = V_{AK} - V_{EB} \quad (2.4)$$

Ou Z : largeur du canal;

L : longueur du canal;

C_{ox} : capacité d'oxyde sous grille formée à la surface de grille;

V_{th} : tension de seuil; m : mobilité effective.

Comme on peut le constater sur le circuit équivalent (Figure III.9), la chute de tension aux bornes de l'IGBT, V_{AK} , peut être modélisée par la somme des deux composantes. La première liée à la chute de potentiel dans la jonction P+N- (base-émetteur du PNP). La seconde correspond à la chute de tension dans le canal du MOSFET. Ainsi, contrairement au MOSFET de puissance, la chute de tension aux bornes d'un IGBT en polarisation directe ne peut pas descendre en dessous de la tension de seuil de la diode, V_{bi} . Si cette limitation peut être un inconvénient en basse tension, elle devient vite négligeable pour des tensions élevées. La présence de la couche P+ dans le cas de l'IGBT permet de moduler sa conductivité et ainsi réduire la tension de déchet. L'absence de cette couche sur le transistor MOS de puissance amène une chute de potentiel plus importante aux bornes de la couche épitaxie N-. [21]

III.6.4 Modélisation du transistor IGBT par le VHDL-AMS et caractéristiques :

III.6.4.1 Code VHDL-AMS du modèle fonctionnel de l'IGBT :

Le présent code décrit le modèle fonctionnel de l'IGBT. Celui-ci est basé sur l'utilisation de l'équation (2.1). Nous avons choisi comme exemple d'IGBT l'**IRG4RC10K** (cfannexe A)

```

entity igbt is
port (terminal p, m: electrical);
end entity igbt;
architecture behavioral of igbt is
quantity vak : real;
quantity ids : real;
quantity vgk : real;
constant w : real:= 100.0e-6;
    constant l : real:= 100.0e-6;
constant kp : real:=0.580427;
    constant lamda : real:= 0.0;
    constant vbe : real:= 0.6;
    constant beta : real:=7.20054;
begin
vak==1000.0*now;
vgk==15.0;
if vak < vbe use
ids == 0.0;
elsif(vak >= vbe)and( vak <= (vgk-6.5))use
ids == (beta+1.0)*(w/l)*(kp/2.0)*(1.0+(lamda*(vak-
vbe)))*(vak-vbe)*(2.0*(vgk-6.5)-(vak-vbe));
elsif(vak >(vgk-6.5))use
ids == (beta+1.0)*(w/l)*(kp/2.0)*(1.0+(lamda*(vak-
vbe)))*((vgk-6.5)*(vgk-6.5));
else
ids == 0.0;
end use;
end;

```

Encadré III.4: Code VHDL-AMS de la modélisation fonctionnel du transistor IGBT.

III.6.4.2 Caractéristiques électriques :

La figure III.11 montre un réseau de caractéristiques courant-tension $I_{AK}=f(V_{AK}, V_{GK})$ obtenu pour l'IGBT **IRG4RC10K**. On peut constater, que le courant dans l'IGBT reste pratiquement nul tant que la tension V_{AK} est inférieure à V_{bi} . En effet, d'après les équations (2.2) et (2.3) le courant I_{AK} n'apparaît que si $V_{DS} > 0$, ce qui correspond à (équation 2.4) à des tensions $V_{AK} > V_{EB}$

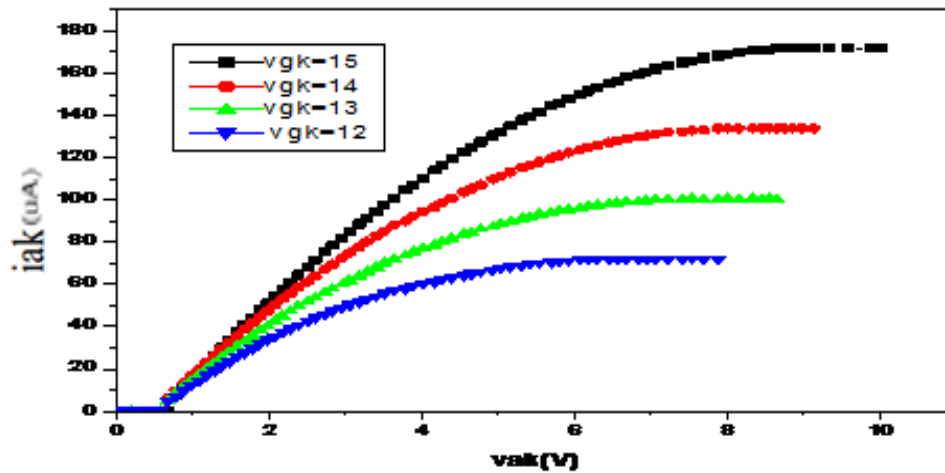


Figure III.11: Caractéristique $I_{AK} = f(V_{AK})$ sous VHDLAMS

III.6.5 Modélisation du transistor IGBT par MATLAB :

Dans cette partie nous présentons la simulation de l'IGBT **IRG4RC10K** avec le même stimulus que précédemment. La figure III.12 représente la caractéristique du courant I_{AK} en fonction de la tension V_{AK} à des tensions V_{GK} constantes

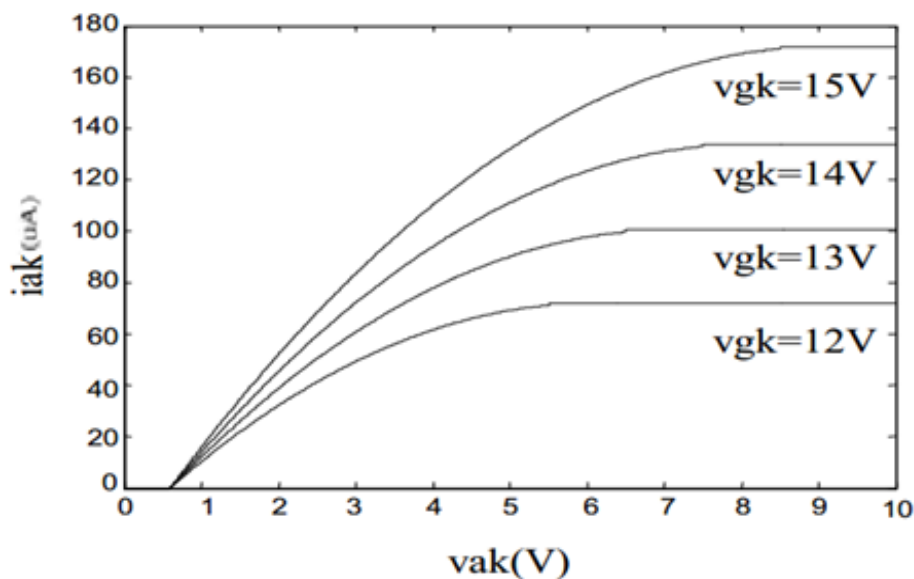


Figure III.12: Caractéristique $I_{AK} = f(V_{AK})$ sous MATLAB

III.6.6 Simulation du transistor IGBT sous SPICE-ORCAD :

La simulation de l'IGBT sous SPICE-ORCAD se fait suivant la net liste présenté dans l'encadré III.5. Les caractéristiques électriques obtenues alors pour l'IGBT **IXGH40N60 NIG** (cf annexe) sont présentées sur la figure III.13

```
.lib "nom.lib"

*Analysis directives:

.DC LIN V_vds 0 20 0.5
+ LIN V_vgs 6 9 1

.PROBE V(*) I(*) W(*) D(*) NOISE(*) .INC
".\igbt-SCHEMATIC1.net"

* source IGBT

Z_Z1 N00707 N00689 0 IXGH40N60 V_vds
N00707 0 12

V_vgs N00689 0 8

.END
```

Encadré III.5: *Net liste SPICE du modèle IGBT*

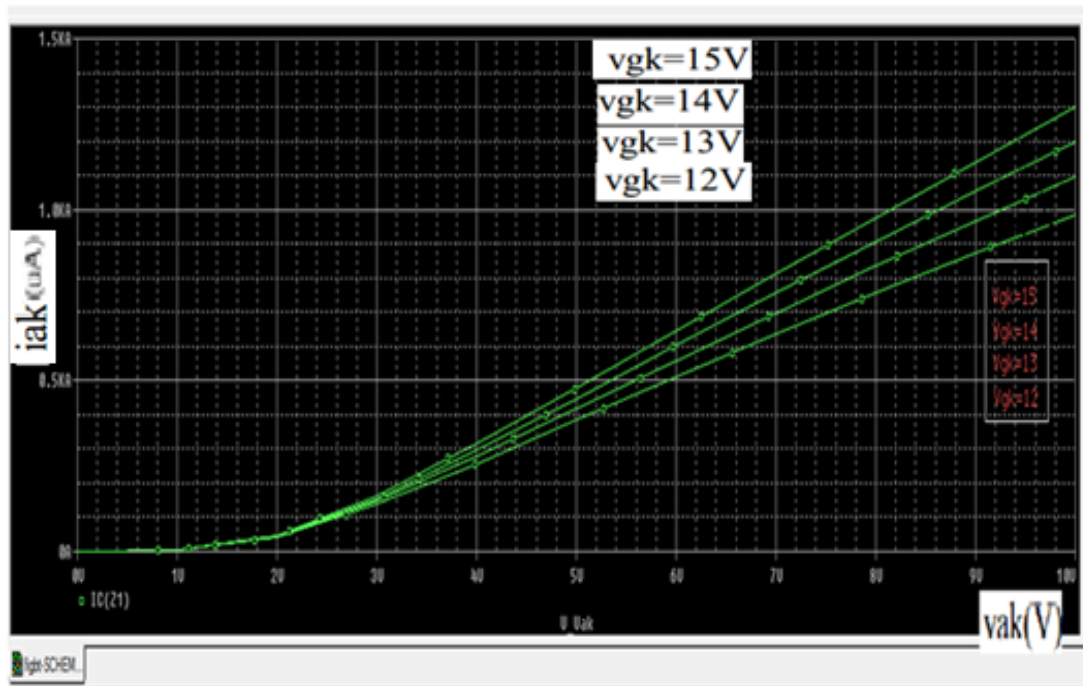


Figure III.13 : Caractéristique $I_{AK} = f(V_{AK})$ sous SPICE

Les mêmes conclusions que celles relatives au MOS sont à considérer ici les caractéristiques obtenues sous VHDL-AMS et SPICE sont comparables, mais pour des raisons de transportabilité, nous considérons dorénavant VHDL-AMS

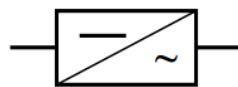
III.7 Modélisation comportementale d'un bras d'onduleur a base d'IGBT :

Cette application consiste à modéliser le comportement d'un bras d'onduleur à base d'IGBT.

III.7.1 Principe de l'onduleur autonome :

Un onduleur et un convertisseur statique permettant l'échange d'énergie entre une grandeur continue et une grandeur alternative.

Symbole : son symbole est représenté sur la figure suivante :



Il est dit autonome car il impose sa propre fréquence à la charge.

III.7.2 Principe de l'onduleur de tension :

Celui-ci est représenté sur la figure III.13. On ferme alternativement les deux interrupteurs K1 et K2 de façon à imposer une tension alternative (ou de forme carrée) à la charge. De plus la commande est symétrique.

III.7.3 Onduleur de tension à 2 interrupteurs :

Les interrupteurs K1 et K2 sont remplacés par deux transistors T1 et T2. En pratique, on rajoute deux diodes en antiparallèle aux transistors pour permettre la circulation du courant lorsqu'il est négatif. Dans le cas d'une charge inductive, les diodes D1 et D2 permettent de renvoyer l'énergie vers l'alimentation (figure III.15)

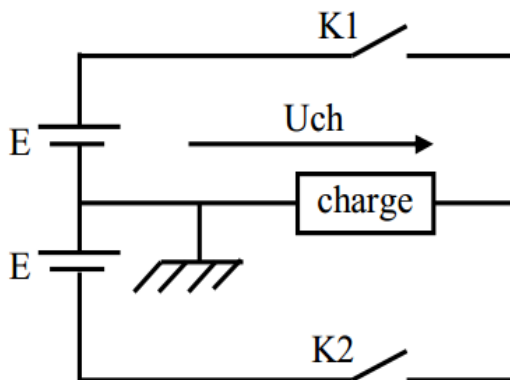


Figure III.14 : Principe de l'onduleur de tension

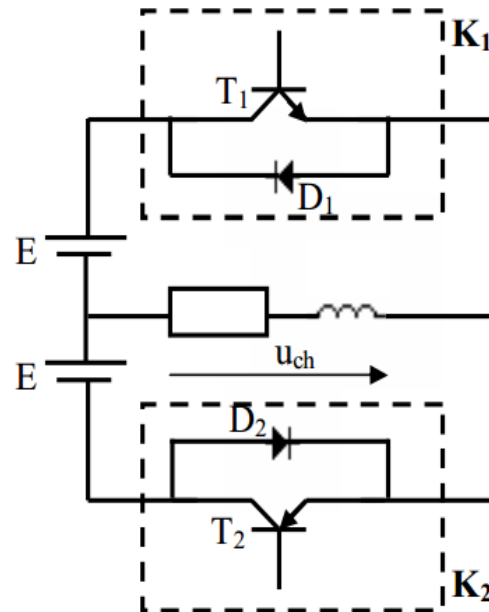


Figure II.15 : Onduleur à 2 interrupteurs sur charge RL.

La figure III.15 représente le bras d'onduleur que nous considérons, il présente une charge RL. Les tensions d'entrées E sont continues et de valeur 300V pour chacune d'elles (figure II.16. (a)). Les deux transistors sont commandés par une horloge (CLK). (figure II.16.(b)), Les valeurs de la charge RL sont fixées comme suit : [22]

$R = 1 \, \Omega$, $L = 0.1 \text{ mH}$ L'analyse proposée est effectuée dans le domaine temporel, modélisé à l'aide du langage de description comportemental VHDL-AMS.

III.7.4 Résultats de simulation :

Les simulations sont effectuées toujours sous l'environnement hamster de SIMEC. Les simulations sont effectuées pour une période d'échantillonnage (min step size = 10us, max step size = 10ms) avec une itération de 20 avec une erreur de 10ms. Les figures (III.16a,b),(III.17),(III.18,a,b) présentent le résultat de simulation sur 5ms. Utilisant la méthode d'Euler comme méthode d'intégrateur et la méthode Newton Raphson pour la linéarisation.

Le signal de commande est donc un signal d'horloge évaluant entre 0 et 1 (figure III.16.(b)). Il permet d'avoir le signal de sortie représenté sur la figure III.17.

Dans ce cas là, la forme du courant est différente de celle de la tension. En effet si la tension bascule presque instantanément suit la commande, le courant quand à lui varie progressivement. L'augmentation des temps de montée et de descende (retard) est due essentiellement à la présence de l'inductance. En effet, le courant à travers une inductance ne peut subir de discontinuités.

Nous avons constaté qu'il y a un échange d'énergie entre la source et la charge dans les deux sens. En effet, une partie de l'énergie fournie à la charge est stockée dans l'inductance puis restituée à la source : on dit qu'il y a récupération d'énergie. La figure III.18 présente le cas d'un bras d'onduleur avec une charge résistive ($R = 1 \text{ W}$), nous avons remarqué que le courant suit la forme de la tension c'est à dire qu'il ne présente pas de retard comme dans le cas d'une charge RL

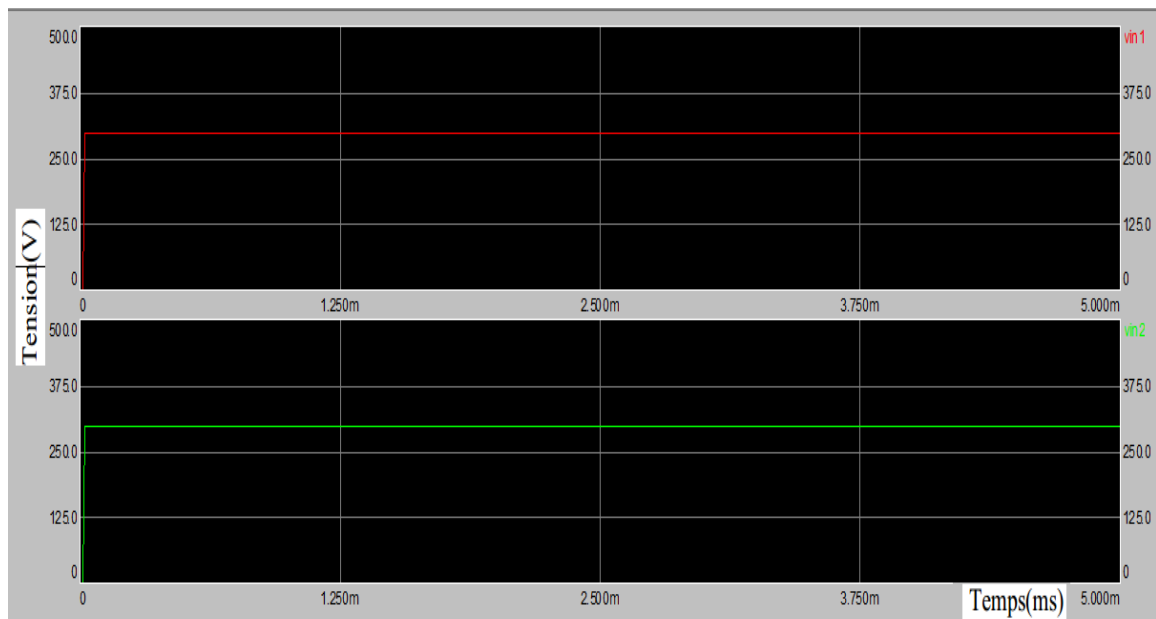


Figure III.16(a): Signaux d'entrer vin1 et vin2 dans le cas d'un onduleur.

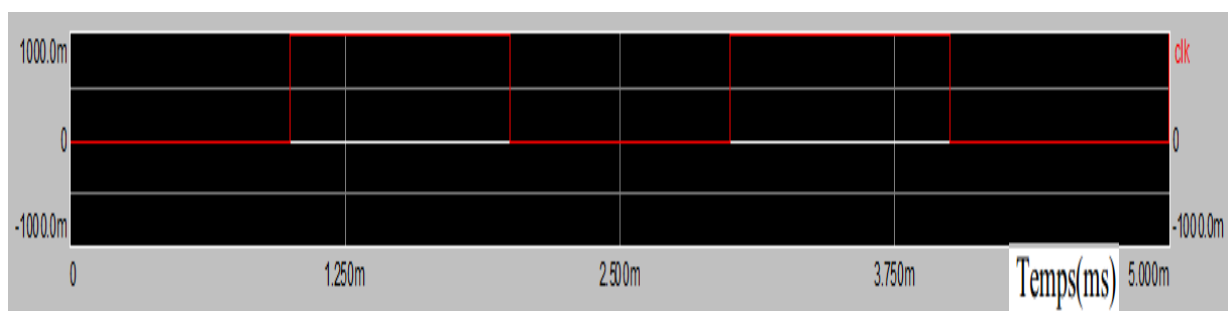


Figure III.16(b) : Signal de commande

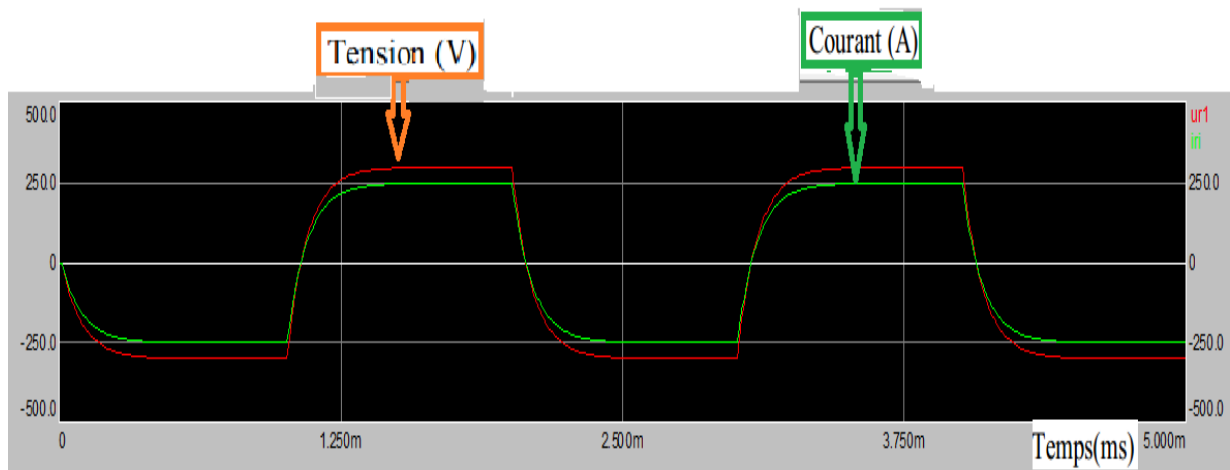


Figure III.17: Evolution de la tension et du courant dans la charge RL.

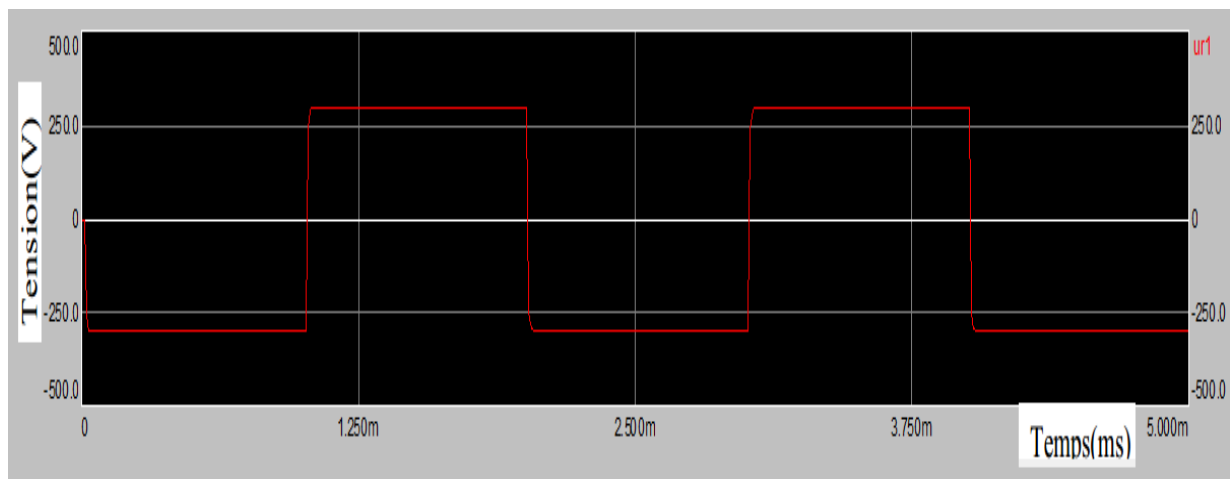


Figure III.18(a) : Evolution de la tension au borne de la charge R..

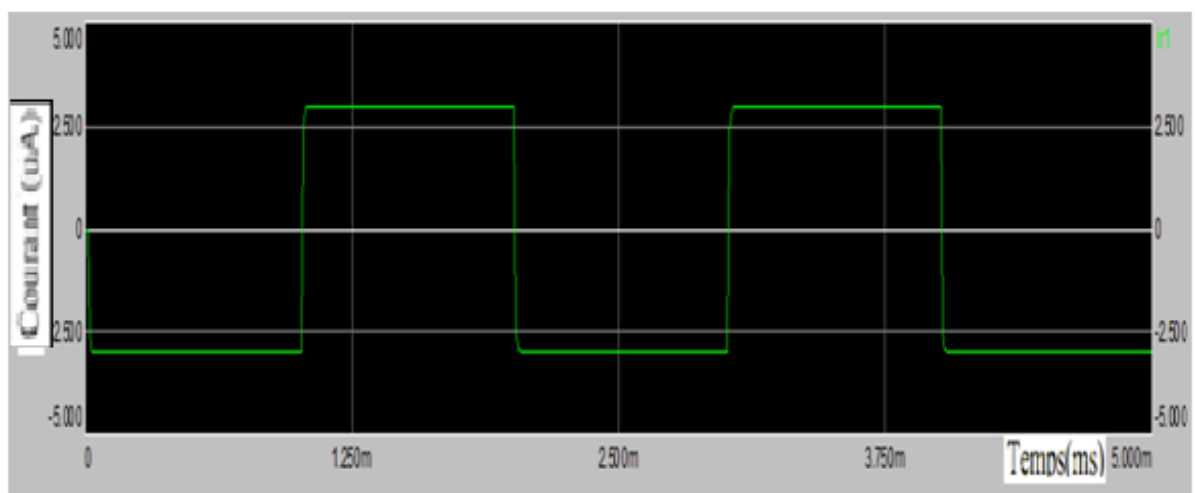


Figure III.18(b) : Le courant a travers la charge R

III.8 Conclusion :

A partir des résultats obtenus dans ce chapitre concernant la modélisation par le VHDL-AMS de l'IGBT, du TMOS, et des différentes applications considérées, nous pouvons conclure que ce langage est un outil efficace pour la modélisation de composants et de circuits électroniques. De plus, il présente des avantages certains par rapport à SPICE et MATLAB comme la bonne lisibilité ainsi que sa tolérance de la généricité c'est à dire le fait de pouvoir exprimer un modèle avec des paramètres qui ne sont connus qu'au moment de l'utilisation effective